

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208621

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 21/768

(21)Application number : 11-005396

(71)Applicant : NEC CORP

(22)Date of filing : 12.01.1999

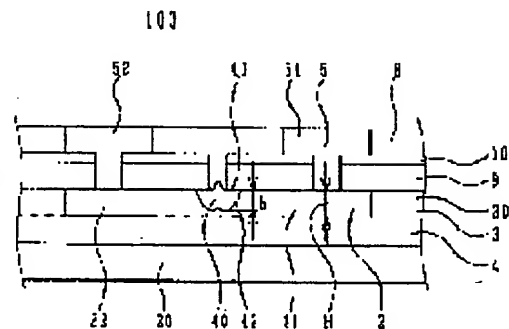
(72)Inventor : KIKUCHI MASA HARU

(54) SEMICONDUCTOR DEVICE AND PRODUCTION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To easily form the inter-layer film of low inter-layer capacity by preparing an air gap not only between wiring but also between upper and lower wiring layers, when forming a multilayered semiconductor device while using a dual damascene method.

SOLUTION: This device 100 is constituted by laminating the plural stages of wiring layers 2 and 5 composed of embedded wiring via a prescribed insulating film layer 30. In this case, a sealed space part 40 formed by etching is arranged between plural embedded wiring 21 and 22 composed of one of respective wiring layer groups 2 and 5 on that wiring layer 2.



LEGAL STATUS

[Date of request for examination] 23.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3235581
[Date of registration]	28.09.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208621

(P2000-208621A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl.⁷

H01L 21/768

識別記号

F I

H01L 21/90

テームコード (参考)

V 5 F 0 3 3

N

B

審査請求 有 請求項の数 9 O L (全 9 頁)

(21) 出願番号

特願平11-5396

(22) 出願日

平成11年1月12日 (1999.1.12)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 菊地 正治

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

Fターム (参考) 5F033 MM02 QQ09 QQ11 QQ22 QQ25

QQ28 QQ30 QQ35 QQ37 QQ48

RR04 RR29 SS11 TT00 TT02

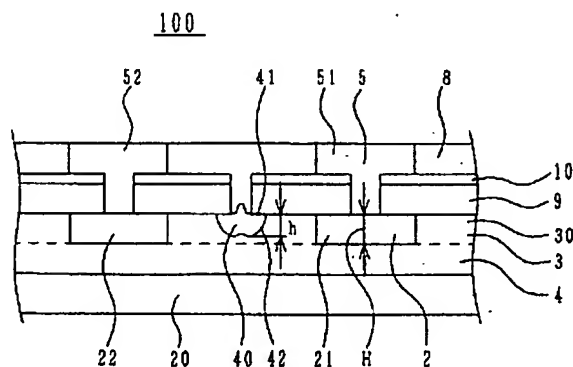
XX25 XX33

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 デュアルダマシン法を使用して多層化半導体装置を形成するに際し、当該配線間、或いは当該上下の配線層間においてもエアギャップを作成可能にすることでより簡単に低層間容量の層間膜を提供する。

【解決手段】 埋め込み配線で構成された1つの配線層2、5が所定の絶縁膜層30を介して複数段に積層されて構成されている半導体装置100に於て、当該各配線層群2、5の少なくとも一つの配線層2に於て、当該配線層2を構成する複数の埋め込み配線21、22間に、エッチングにより形成された密閉状空間部40が配置されている半導体装置100。



【特許請求の範囲】

【請求項 1】 埋め込み配線で構成された 1 つの配線層が所定の絶縁膜層を介して複数段に積層されて構成されている半導体装置に於て、当該各配線層群の少なくとも一つの配線層に於て、当該配線層を構成する複数の埋め込み配線間に、エッチングにより形成された密閉状空間部が配置されている事を特徴とする半導体装置。

【請求項 2】 当該密閉状空間部の有効高さは、当該各配線層を構成する埋め込み配線の高さよりも小さい事を特徴とする請求項 1 記載の半導体装置。

【請求項 3】 当該密閉状空間部は、その上面壁部の少なくとも一部は略平坦な面を形成しており、又その側面壁部の少なくとも一部は、湾曲状面を形成している事を特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 当該密閉状空間部は、積層して配置されている当該配線層間に設けられている絶縁層内に設けられている事を特徴とする請求項 1 乃至 3 の何れかに記載の半導体装置。

【請求項 5】 当該密閉状空間部の一部は、当該絶縁膜層を介して対向して形成されている当該各配線層の一部の配線の少なくとも一部と重複している事を特徴とする請求項 4 記載の半導体装置。

【請求項 6】 当該絶縁膜層を介して対向して形成されている当該各配線層は、当該絶縁膜層に設けられたビアホールを介して互いに接続されている事を特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 7】 多層配線型の半導体装置を製造するに際し、基板上の第 1 の絶縁層に所定の配線パターンを有する第 1 の配線群を埋め込み配線形成手段を使用して第 1 の配線層を形成すると共に、当該第 1 の絶縁層上にエッチングレートが高い第 2 の絶縁膜層と当該第 2 の絶縁膜層のエッチングレートよりも低いエッチングレートを有する第 3 の絶縁膜層をそれぞれ形成し、次いで当該第 2 と第 3 の絶縁膜層に当該第 3 の絶縁膜層の表面から当該第 1 の配線層と接続するビアホールと当該ビアホールと接続する第 2 の配線層群とを埋め込み配線形成手段を使用して形成した後、当該第 3 の絶縁膜層上にレジストを塗布し、リソグラフィー手段を使用して、当該第 1 と第 2 の配線層が存在していない当該半導体装置内の位置に於ける当該レジストに開口部を設けると共に、当該第 2 の絶縁膜層まで到達する溝部を形成し、次いで、当該第 2 の絶縁膜層を優先的にエッチング処理する事によって、当該第 2 の絶縁膜層内に空間部を形成した後、当該空間部に連なる当該開口部のみを閉鎖処理する事によって、埋め込み配線で構成された第 1 の配線層と第 2 の配線層との間の絶縁膜層内に密閉状空間部を配置する事を特徴とする半導体装置の製造方法。

【請求項 8】 多層配線型の半導体装置を製造するに際し、基板上の第 1 の絶縁層に所定の配線パターンを有する第 1 の配線群を埋め込み配線形成手段を使用して第 1

の配線層を形成すると共に、当該第 1 の絶縁層上に第 2 の絶縁膜層を形成した後、当該第 2 の絶縁膜層上にエッチングストップ層を形成し、更に当該エッチングストップ層上にエッチングレートが高い第 3 の絶縁膜層と当該第 3 の絶縁膜層のエッチングレートよりも低いエッチングレートを有する第 4 の絶縁膜層をそれぞれ形成し、次いで当該第 3 と第 4 の絶縁膜層に当該第 4 の絶縁膜層の表面から当該第 1 の配線層と接続するビアホールと当該ビアホールと接続する第 2 の配線層群とを埋め込み配線形成手段を使用して形成した後、当該第 4 の絶縁膜層上にレジストを塗布し、リソグラフィー手段を使用して、当該第 1 と第 2 の配線層が存在していない当該半導体装置内の位置に於ける当該レジストに開口部を設けると共に、当該第 3 の絶縁膜層まで到達する溝部を形成し、次いで、当該第 3 の絶縁膜層を優先的にエッチング処理する事によって、当該第 3 の絶縁膜層内に空間部を形成した後、当該空間部に連なる当該開口部のみを閉鎖処理する事によって、当該第 3 の絶縁膜層内で且つ、互いに隣接する当該第 2 の配線間に密閉状空間部を配置する事を特徴とする半導体装置の製造方法。

【請求項 9】 多層配線型の半導体装置を製造するに際し、基板上にエッチングレートが低い第 1 の絶縁膜層と当該第 1 の絶縁膜層のエッチングレートよりも高いエッチングレートを有する第 2 の絶縁膜層をそれぞれ形成し、次いで当該第 2 の絶縁層に所定の配線パターンを有する第 1 の配線群を埋め込み配線形成手段を使用して第 1 の配線層を形成すると共に、当該第 2 の絶縁層上に第 3 の絶縁膜層を形成した後、当該第 3 の絶縁膜層上にエッチングストップ層を形成し、次いで当該エッチングストップ層上にレジストを塗布し、リソグラフィー手段を使用して、当該レジストに於ける当該第 1 の配線層が存在している領域と対向する当該エッチングストップ層上に第 1 の開口部を形成すると共に、当該第 1 の配線層が存在していない領域と対向する当該エッチングストップ層上にも第 2 の開口部を設け、その後、エッチング処理を行って、当該第 1 の開口部に於いては当該第 1 の配線層でとまる溝を形成すると共に、当該第 2 の開口部に於いては、当該第 3 の絶縁膜層にまで到達する溝部を形成し、次いで当該第 3 の絶縁膜層をエッチング処理して当該第 3 の絶縁膜層を優先的にエッチング処理する事によって、当該第 3 の絶縁膜層内に空間部を形成した後、当該空間部に連なる当該第 2 の開口部のみを閉鎖処理する事によって、当該第 3 の絶縁膜層内で且つ、互いに隣接する当該第 2 の配線間に密閉状空間部を配置形成した後、当該第 1 の配線層と接続する第 2 の配線層をビアホールを介して形成する事を特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及び半導

体装置の製造方法に関し、特に詳しくは、多層配線構造を有する半導体装置に於ける配線容量を低減させる半導体装置の構造及びその製造方法に関するものである。

【0002】

【従来の技術】近年、LSI等の半導体装置に於いては、その構造に於ける微細化が進むと同時に当該デバイスが高速化されて来ており、その為に当該LSI等の半導体装置に於ける信号処理の高速化の要求も年々増加している。一般に、当該半導体装置に於ける信号処理速度は、主にトランジスタ自体の動作速度及び配線での信号伝播遅延時間の大小で決まってくるものであり、従って従来までは、係るトランジスタの動作速度の向上と配線での信号伝播遅延時間を少なくする為の低抵抗化が検討されて来た。

【0003】然しながら、近年に於ける当該半導体装置の微細化の一層の進展から、当該半導体装置に於ける信号の伝播遅延時間は、当該トランジスタでの遅延より配線遅延の影響のほうが大きくなり、特に配線に寄生する寄生容量による影響が大きくなってきている。その為、デバイスの高速化を行うには、配線遅延の主要因である配線容量を減らすということが重要な要素の一つとなつてきている。

【0004】この目的のために、通常、低誘電率の新しい層間膜を使用し層間容量を減らしたり、銅配線を用いたデュアルダマシンプロセスと低誘電率層間膜を組み合わせるという手法が採用されている。しかしながら、低誘電率層間膜は作成上の不安定さや信頼性で安定性がまだ乏しいため、実現が困難な状況にある。また、さらに低層間容量を求められた場合、さらに新しい材質が必要となるという問題を発生する。

【0005】係る問題を解決する為の従来の技術としては、例えば、特許第2773729号公報に記載されている様に、埋め込み配線が形成された絶縁膜上に複数の配線パターンを形成するに際し、当該配線間の間隔が狭い領域にある当該配線間に空洞部を有する絶縁膜を配置する構成に関して記載されているが、係る従来例に於いては、当該狭い間隔で配置されている配線の上からCVD法によって絶縁膜を成膜する事によって、当該配線間に空洞部が形成される事が開示されているが、CVD処理を行う際の条件の設定が難しく、従って均一な空洞部を確実に形成する事は困難であった。

【0006】又、係る従来例では、埋め込み型配線構造からなる多層配線の配線を有する半導体装置に於いて、所望の配線層内或いは配線層間に空洞部を形成する技術に関しては開示がない。又特開平5-36841号公報には、基板に形成された配線部の周囲を空洞化する技術が記載されているが、多層配線の半導体装置に於いて、所望の配線層に於ける配線間に、略均一な所定の大きさを持つ空洞部を形成する技術に関しては開示がない。

【0007】更に、特開平9-27546号公報には、多層化配線構造をとる半導体装置に於いて、配線層間にシリコン窒化膜を埋め込み、その上にシリコン酸化膜を形成し、当該シリコン酸化膜に孔部を開けて当該シリコン窒化膜をエッチングして除去する事によって当該配線間に空間部を形成する技術が開示されている。然しながら、係る従来例では、埋め込み配線技術を使用して当該埋め込み配線間の絶縁膜内に空洞部を形成する技術に関しては何らの開示も示唆もない。

【0008】一方、特開平4-334047号公報には、エッチングレートの異なる層間膜を積層し、当該エッチングレートの高い層間膜をエッチング処理により湾曲状に除去し、その後当該層間膜間に電極を形成した最後に層間絶縁膜を形成して、当該電極の側面に空洞部を形成する技術が開示されているが、本発明に於ける様に、埋め込み型配線構造からなる多層配線の配線を有する半導体装置に於いて、所望の配線層内或いは配線層間に空洞部を形成する技術に関しては開示がない。

【0009】

【発明が解決しようとする課題】従って、本発明の目的は、上記した従来技術の欠点を改良し、埋め込み配線を形成する方法、例えばデュアルダマシン法を使用して多層化半導体装置を形成するに際し、当該配線間、或いは当該上下の配線層間においてもエアギャップを作成可能にすることでより簡単に低層間容量の層間膜を提供することにある。

【0010】

【課題を解決するための手段】本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、本発明に係る第1の態様としては、埋め込み配線で構成された1つの配線層が所定の絶縁膜層を介して複数段に積層されて構成されている半導体装置に於て、当該各配線層群の少なくとも一つの配線層に於て、当該配線層を構成する複数の埋め込み配線間に、エッチングにより形成された密閉状空間部が配置されている半導体装置であり、又、本発明に於ける第2の態様としては、例えば、多層配線型の半導体装置を製造するに際し、基板上の第1の絶縁層に所定の配線パターンを有する第1の配線群を埋め込み配線形成手段を使用して第1の配線層を形成すると共に、当該第1の絶縁層上にエッチングレートが高い第2の絶縁膜層と当該第2の絶縁膜層のエッチングレートよりも低いエッチングレートを有する第3の絶縁膜層をそれぞれ形成し、次いで当該第2と第3の絶縁膜層に当該第3の絶縁膜層の表面から当該第1の配線層と接続するビアホールと当該ビアホールと接続する第2の配線層群とを埋め込み配線形成手段を使用して形成した後、当該第3の絶縁膜層上にレジストを塗布し、リソグラフィー手段を使用して、当該第1と第2の配線層が存在していない当該半導体装置内の位置に於ける当該レジストに開口部を設けると共に、

当該第2の絶縁膜層まで到達する溝部を形成し、次いで、当該第2の絶縁膜層を優先的にエッチング処理する事によって、当該第2の絶縁膜層内に空間部を形成した後、当該空間部に連なる当該開口部のみを閉鎖処理する事によって、埋め込み配線で構成された第1の配線層と第2の配線層との間の絶縁膜層内に密閉状空間部を配置する様に構成された半導体装置の製造方法である。

【0011】

【発明の実施の形態】本発明に係る当該半導体装置及び半導体装置の製造方法は、上記した様な技術構成を採用しており、その技術的な特徴部分は、溝配線とビアホールを同時に形成するデュアルダマシン法を使用して、膜組成の異なる酸化膜を形成しウェットエッチングのレートの違いを利用して層間膜中に低誘電率である空間層（エアギャップ）を作成したことにある。

【0012】本発明に係る当該半導体装置のより詳細な具体例を説明するならば、図1に示す様な、本発明による工程順の断面図を示すように、層間膜の構成を2種類以上にして下層にウェットエッチングでのエッチングレートの早い膜、上層にエッチングレートの遅い膜という膜構成をしている。このような膜構成にし、図2（A）から図3（C）のような工程を行うことで層間膜中に空洞部分を意図的に作ることができる。また上層膜の厚さを調整することで層間膜中の任意の高さに作ることが可能である。

【0013】この空洞部分は空気なので比誘電率は1であり非常に容量の低いものとなり同層配線間及び異層配線間の配線容量の低減ができる。デュアルダマシンプロセスでは低誘電率の層間膜を採用することになっているが、本発明を併用することで更に配線容量の低減が可能となる。従って、本発明により配線容量が小さく高速動作が可能な半導体装置の作成が比較的容易に作成できるという効果が得られる。

【0014】

【実施例】以下に、本発明に係る半導体装置及び半導体装置の製造方法の具体例を図1～図4を参照しながら詳細に説明する。即ち、図1は、本発明に係る半導体装置の一具体例の構成を示す断面図であり、図中、埋め込み配線で構成された1つの配線層2、5が所定の絶縁膜層30を介して複数段に積層されて構成されている半導体装置100に於て、当該各配線層群2、5の少なくとも一つの配線層2に於て、当該配線層2を構成する複数の埋め込み配線21、22間に、エッチングにより形成された密閉状空間部40が配置されている半導体装置100が示されている。

【0015】本発明に於ける当該密閉状空間部40の有効高さhは、当該各配線層2を構成する埋め込み配線21、22の高さHよりも小さい事が望ましい。更に、本発明に於いて、当該密閉状空間部40は、その上面壁部41の少なくとも一部は略平坦な面を形成しており、又

その側面壁部42の少なくとも一部は、湾曲状面を形成しているものである。

【0016】一方、本発明に於ける当該密閉状空間部40は、隣接して積層されている当該配線層2、5の間に設けられた絶縁層30内に設けられているものであっても良く、又後述する図8に示す様に、当該密閉状空間部40の一部は、当該絶縁膜層30を介して対向して形成されている当該各配線層21、51の一部の配線の少なくとも一部と重複して配置されているものであっても良い。

【0017】更に、本発明に於いては、当該絶縁膜層30を介して対向して形成されている当該各配線層2、5を構成する配線群に於て互に対向して形成されている配線21、51は、当該絶縁膜層30に設けられたビアホール60を介して互いに接続されている事が望ましい。次に、本発明に係る当該半導体装置の製造方法の具体例を図2乃至図7を参照しながら詳細に説明する。

【0018】即ち、図2（A）～図3（C）は、本発明に係る半導体装置の製造方法の一具体例の工程の手順を説明する断面図であり、図中、多層配線型の半導体装置100を製造するに際し、基板20上の第1の絶縁層1に所定の配線パターンを有する第1の配線群を埋め込み配線形成手段を使用して第1の配線層2を形成すると共に、当該第1の絶縁層1上にエッチングレートが高い第2の絶縁膜層3と当該第2の絶縁膜層3のエッチングレートよりも低いエッチングレートを有する第3の絶縁膜層4をそれぞれ形成し、次いで当該第2と第3の絶縁膜層3、4に当該第3の絶縁膜層4の表面から当該第1の配線層2と接続するビアホール60と当該ビアホール60と接続する第2の配線層群を構成する第2の配線5とを埋め込み配線形成手段を使用して形成した後、当該第3の絶縁膜層4上にフォトリソグラフィ手段を使用して、当該第1と第2の配線層2、5が存在していない当該半導体装置内の位置に於ける当該レジストに開口部7を設けると共に、当該第2の絶縁膜層2まで到達する溝部71を形成し、次いで、当該第2の絶縁膜層3を優先的にエッチング処理する事によって、当該第2の絶縁膜層3内に空間部40を形成した後、当該空間部40に連なる当該開口部71のみを閉鎖処理する事によって、埋め込み配線で構成された第1の配線層2と第2の配線層5との間の絶縁膜層3（30）内に密閉状空間部40を配置する様に処理するものである。

【0019】即ち、本具体例に於いては、当該密閉状空間部40を、適宜の絶縁層30を介して互に対向して形成された異なる埋め込み配線層2、5が形成された半導体装置に於ける当該絶縁層30に配置形成させるものであり、当該密閉状空間部40の高さは、当該埋め込み配線層2、5の間隙と同等若しくはそれより短く構成されている事が望ましい。

【0020】又、当該密閉状空間部40の配置個数は特に限定されるものではないが、好ましくは、一つの配線層2又は5に於ける隣接して配置された配線21、22の間に少なくとも一つ設けられているものである。更に、本具体例に於いては、当該密閉状空間部40は、出来るだけ配線2、5に近接する位置に設けられる事が望ましく、より好ましくは、図8に示す様に、当該密閉状空間部40の一部45が、当該絶縁膜層30を介して対向して形成されている当該各配線層2、5を構成する互いに対向する配線21、51の少なくとも一部55と重複しているものである。

【0021】上記した本具体例の製造手順を処理操作順に図2及び図3を参照しながら詳細に説明するならば、図2(A)に示すように基板20上に設けた第1の絶縁膜層1に一般的なダマシンプロセスにより第1の埋め込み配線層2を作成する。次に、図2(B)に示す様に、当該第1の絶縁膜層1その上にウェットエッチでのエッチングレートの速い膜質が疎の酸化膜からなる第2の絶縁膜層3を例えばCVD法等により成長させ、さらにその上にウェットエッチに於ける、エッチングレートが当該第2の絶縁膜層3のエッチングレートよりも遅い膜質が密の酸化膜からなる第3の絶縁膜層4を例えばCVD法等により成長させる。

【0022】係る2つの絶縁膜層3、4は1つ装置で連続的に成長させる事が可能である。また、それぞれの膜厚は後で形成するエアギャップをどの位置に形成するかにより決定する事が望ましい。次に図2(C)に示すように一般的なデュアルダマシンプロセスによりビアホール部分60と第2の埋め込み配線層5を同時に作成する。従来のデュアルダマシンプロセスはこれで終了となるが本発明では任意の場所にエアギャップを作成するため、以下の工程が追加される。

【0023】図2(D)に示すように、以降の工程で当該密閉状空間部40を設けたい位置にフォトリソグラフィとDRYエッチングにより開口部7を作成する。その後、図3(A)に示す様に、この開口部7を使用して、当該エッチングレートの早い、疎な酸化膜で構成されている第2の絶縁膜層3に届くようにエッチングして所定の溝部71を形成する。

【0024】次いで図3(B)に示す様に、ウェットエッチングを行うと密な酸化膜から構成されている当該第3の絶縁膜層4はほとんどエッチングされないが、疎な酸化膜3で構成されている第2の絶縁膜層3は、容易に速くエッチングされるため図3(B)のように当該第2の絶縁膜層3内に、拡大された密閉状空間部40が形成される。

【0025】その後、図3(C)に示す様に、当該密閉状空間部40に連通する当該溝71をCVD法により埋め込むに際し、初めにカバレッジの悪い成長条件で成長を行うことでウェットエッチで形成された当該密閉状空

間部40をほぼ完全に残したまま当該第3の絶縁膜層4の溝部71を埋め込み、さらにカバレッジのよい条件で成長することで上層酸化膜8を平坦に作成する。

【0026】この際、上層酸化膜8の平坦度の悪い場合は、この後にCMP法で平坦化してもよい。このような工程を行うことで図3(C)に示すように配線層2、5間の任意のところに誘電率の非常に低いエアギャップ40が作成できる。当該エアギャップを構成する密閉状空間部40の当該第2の絶縁膜層3(30)中の上下方向の位置は当該第2の絶縁膜層3と当該第3の絶縁膜層4との膜厚を調整することで任意に調節することができる。

【0027】又、本具体例に於て、エッチング条件を調整する事によって、当該密閉状空間部40の端部45を当該配線層2、5の間に入り込ませる事も可能であり、それによって一層当該埋め込み配線に於ける寄生容量の低減が可能となる。また低誘電率の層間膜材料に上記のエッチングレートの特性を持たせることで上記に述べた酸化膜の変わりとしても使用することで、同様のエアギャップを作成することが可能である。

【0028】次に、本発明に係る当該半導体装置の製造方法の他の具体例に於ける製造手順を処理操作順に図4及び図5を参照しながら詳細に説明する。即ち、上記した具体例に於いては、デュアルダマシンプロセスでビアホールをフォトリソグラフィのみで作成するプロセスでの密閉状空間部形成に適用したが、エッチングSTOP層付きビアホールを持つデュアルダマシンプロセスについても本発明の密閉状空間部の形成に適用することができる。その製造方法の具体例を以下に示す。

【0029】先ず、図4(A)に示すように基板20上に設けた第1の絶縁膜層1に一般的なダマシンプロセスにより第1の埋め込み配線層2を作成した後、適宜の第2の絶縁膜層9とエッチングストップとして機能する例えば窒化膜から構成されたエッチングストップ膜10を形成する。次に、図4(B)に示す様に、当該エッチングストップ膜10の上にウェットエッチでのエッチングレートの速い膜質が疎の酸化膜からなる第3の絶縁膜層3'を例えばCVD法等により成長させ、さらにその上にウェットエッチに於ける、エッチングレートが当該第3の絶縁膜層3'のエッチングレートよりも遅い膜質が密の酸化膜からなる第4の絶縁膜層4'を例えばCVD法等により成長させる。

【0030】係る2つの絶縁膜層3'、4'は1つの装置で連続的に成長させる事が可能である。また、それぞれの膜厚は後で形成するエアギャップをどの位置に形成するかにより決定する事が望ましい。次に図4(C)に示すように一般的なデュアルダマシンプロセスによりビアホール部分60と第2の埋め込み配線層5を同時に作成する。

【0031】その後、図4(D)に示すように、以降の

工程で当該密閉状空間部 40 を設けたい位置にフォトリソグラフィと DRY エッチングにより開口部 7 を作成する。その後、図 5 (A) に示す様に、この開口部 7 を使用して、当該エッチングレートの早い、疎な酸化膜で構成されている第 3 の絶縁膜層 3' に届くようにエッチングして所定の溝部 71 を形成する。

【0032】 次いで図 5 (B) に示す様に、ウェットエッチングを行うと密な酸化膜から構成されている当該第 4 の絶縁膜層 4' はほとんどエッチングされないが、疎な酸化膜で構成されている第 3 の絶縁膜層 3' は、容易に速くエッチングされるため図 5 (B) のように当該第 3 の絶縁膜層 3' 内に、拡大された密閉状空間部 40 が形成される。

【0033】 その後、図 5 (C) に示す様に、当該密閉状空間部 40 に連通する当該溝 71 を CVD 法により埋め込むに際し、初めにカバレッジの悪い成長条件で成長を行うことでウェットエッチで形成された当該密閉状空間部 40 をほぼ完全に残したまま当該第 4 の絶縁膜層 4' の溝部 71 を埋め込み、さらにカバレッジのよい条件で成長することで上層酸化膜 8 を平坦に作成する。

【0034】 この際、上層酸化膜 8 の平坦度の悪い場合は、この後に CMP 法で平坦化してもよい。このような工程を行うことで図 5 (C) に示すように上部の埋め込み配線層の各配線 51、52 の間の任意のところに誘電率の非常に低いエアギャップ 40 が作成できる。即ち、本具体例に於いては、埋め込み配線層が多層に積層されて構成された半導体装置 100 に於て、互いに対向して積層されている上下の埋め込み配線の上層の埋め込み配線に於ける各配線 51、52 の間の絶縁膜層内に当該密閉状空間部 40 が形成されるものである。

【0035】 又、本具体例では、エッチング STOP 層 10 を設けてあるため密閉状空間部 40 を作るためのウェットエッチがそれより下には進まない。そのためエアギャップは確実に配線と同じ高さにできるという効果が得られる。つまり、本発明に係る本具体例の構成としては、多層配線型の半導体装置を製造するに際し、基板上の第 1 の絶縁層に所定の配線パターンを有する第 1 の配線群を埋め込み配線形成手段を使用して第 1 の配線層を形成すると共に、当該第 1 の絶縁層上に第 2 の絶縁膜層を形成した後、当該第 2 の絶縁膜層上にエッチングストップ層を形成し、更に当該エッチングストップ層上にエッチングレートが高い第 3 の絶縁膜層と当該第 3 の絶縁膜層のエッチングレートよりも低いエッチングレートを有する第 4 の絶縁膜層をそれぞれ形成し、次いで当該第 3 と第 4 の絶縁膜層に当該第 4 の絶縁膜層の表面から当該第 1 の配線層と接続するビアホールと当該ビアホールと接続する第 2 の配線層群とを埋め込み配線形成手段を使用して形成した後、当該第 4 の絶縁膜層上にレジストを塗布し、リソグラフィー手段を使用して、当該第 1 と第 2 の配線層が存在していない当該半導体装置内の位置

に於ける当該レジストに開口部を設けると共に、当該第 3 の絶縁膜層まで到達する溝部を形成し、次いで、当該第 3 の絶縁膜層を優先的にエッチング処理する事によって、当該第 3 の絶縁膜層内に空間部を形成した後、当該空間部に連なる当該開口部のみを閉鎖処理する事によって、当該第 3 の絶縁膜層内で且つ、互いに隣接する当該第 2 の配線間に密閉状空間部を配置する様に構成された半導体装置の製造方法である。

【0036】 次に、本発明に係る当該半導体装置の製造方法の別の具体例に於ける製造手順を処理操作順に図 6 及び図 7 を参照しながら詳細に説明する。上記した第 1 と第 2 の具体例ではエアギャップ、つまり密閉状空間部 40 を作成するためそれ専用のフォトリソグラフィの工程を必要としていた。本具体例では、上記具体例で示したエッチング STOP 層付きデュアルダマシンプロセスでの膜構成やプロセスを更に工夫することにより専用のフォトリソグラフィなしでもエアギャップの作成を可能とした。その例を第 3 の具体例として以下に詳述する。

【0037】 先ず、図 6 (A) に示すように基板 20 上にウェットエッチでのエッチングレートの遅い、膜質が密の酸化膜からなる第 1 の絶縁膜層 4" を例えば CVD 法等により成長させ、さらにその上にウェットエッチに於ける、エッチングレートが当該第 1 の絶縁膜層 4" のエッチングレートよりも早い、膜質が疎の酸化膜からなる第 2 の絶縁膜層 3" を例えば CVD 法等により成長させる。

【0038】 その後、当該第 2 の絶縁膜層 3" に一般的なダマシンプロセスにより第 1 の埋め込み配線層 2 を作成した後、当該第 2 の絶縁膜層 3" の上に適宜の第 3 の絶縁膜層として密な酸化膜からなる絶縁膜層 9" とエッチングストップとして機能する例えば窒化膜から構成されたエッチングストップ膜 10 を形成する。次に、図 6 (B) に示す様に、当該エッチングストップ膜 10 上に適宜のレジスト膜 6 を形成した後、以降の工程で当該密閉状空間部 40 を設けたい位置及び当該第 1 の埋め込み配線 2 が形成されている領域に対応する位置にフォトリソグラフィと DRY エッチングにより開口部 7、7' を作成する。

【0039】 次に図 6 (C) に示すように、このフォトレジスト膜 6 をマスクにエッチングストップ膜 10 及び絶縁膜層 9" をともに DRY エッチングする。通常のエッチングストップ膜 10 付きデュアルダマシン法ではエッチングストップ膜 10 のみのエッチングであるが、本具体例ではさらに密な上層酸化膜である絶縁膜層 9" も DRY エッチングして、下層の疎な酸化膜である第 2 の絶縁膜層 3" が出てくるまでエッチングする。

【0040】 この後、図 6 (D) に示す様に、ウェットエッチングを行うとビアホール部を構成する開口部 7' に於いては、第 1 の埋め込み配線 2 があるためそれ以上のエッチングはされないが、密閉状空間部 40 を構成す

る為の当該開口部 7 に於いては、疎な酸化膜である第 2 の絶縁膜層 3'' が大きく掘れる形状となる。次いで、図 7 (A) に示す様に、上記した具体例と同様の方法で、当該密閉状空間部 40 に連通する当該開口部 7 を CVD 法により埋め込み、全体を第 4 の絶縁膜層 8 で被覆する。

【0041】その後、図 7 (B) と図 7 (C) に示す様に、当該第 4 の絶縁膜層 8 上に適宜のレジスト膜 6' を塗布した後、上記した一般的なデュアルダマシンプロセスによりビアホール部分 60 と第 2 の埋め込み配線層 5

を同時に作成する。以上述べたような工程を行うことで専用のフォトリソグラフィを行うことなく下層配線 2 とほぼ同じ高さに密閉状空間部 40 を作成することができる。

【0042】即ち、本発明に於ける本具体例の技術構成としては、多層配線型の半導体装置を製造するに際し、基板上にエッチングレートが低い第 1 の絶縁膜層と当該第 1 の絶縁膜層のエッチングレートよりも高いエッチングレートを有する第 2 の絶縁膜層をそれぞれ形成し、次いで当該第 2 の絶縁層に所定の配線パターンを有する第 1 の配線群を埋め込み配線形成手段を使用して第 1 の配線層を形成すると共に、当該第 2 の絶縁層上に第 3 の絶縁膜層を形成した後、当該第 3 の絶縁膜層上にエッチングストップ層を形成し、次いで当該エッチングストップ層上にレジストを塗布し、リソグラフィ手段を使用して、当該レジストに於ける当該第 1 の配線層が存在している領域と対向する当該エッチングストップ層上に第 1 の開口部を形成すると共に、当該第 1 の配線層が存在していない領域と対向する当該エッチングストップ層上にも第 2 の開口部を設け、その後、エッチング処理を行って、当該第 1 の開口部に於いては当該第 1 の配線層でとまる溝を形成すると共に、当該第 2 の開口部に於いては、当該第 3 の絶縁膜層にまで到達する溝部を形成し、次いで当該第 3 の絶縁膜層をエッチング処理して当該第 3 の絶縁膜層を優先的にエッチング処理する事によって、当該第 3 の絶縁膜層内に空間部を形成した後、当該空間部に連なる当該第 2 の開口部のみを閉鎖処理する事によって、当該第 3 の絶縁膜層内で且つ、互いに隣接する当該第 2 の配線間に密閉状空間部を配置形成した後、当該第 1 の配線層と接続する第 2 の配線層をビアホールを介して形成する様に構成された半導体装置の製造方法である。

【0043】

【発明の効果】本発明に係る当該半導体装置及び半導体装置の製造方法は、上記した様な構成を採用しているの

に際し、当該配線間、或いは当該上下の配線層間に任意に且つ自由にエアギャップを作成可能にすることができ、又工程数を増加させずに効率的に密閉状空間部を作り込む事が可能となる。

【図面の簡単な説明】

【図 1】図 1 は、本発明に係る半導体装置の一具体例の構成を示す断面図である。

【図 2】図 2 (A) ~ 図 2 (D) は、本発明に係る半導体装置の製造方法の一具体例の製造工程をその手順に従って示した断面図である。

【図 3】図 3 (A) ~ 図 3 (C) は、本発明に係る半導体装置の製造方法の一具体例の製造工程をその手順に従って示した断面図である。

【図 4】図 4 (A) ~ 図 4 (D) は、本発明に係る半導体装置の製造方法の他の具体例の製造工程をその手順に従って示した断面図である。

【図 5】図 5 (A) ~ 図 5 (C) は、本発明に係る半導体装置の製造方法の他の具体例の製造工程をその手順に従って示した断面図である。

【図 6】図 6 (A) ~ 図 6 (D) は、本発明に係る半導体装置の製造方法の別の具体例の製造工程をその手順に従って示した断面図である。

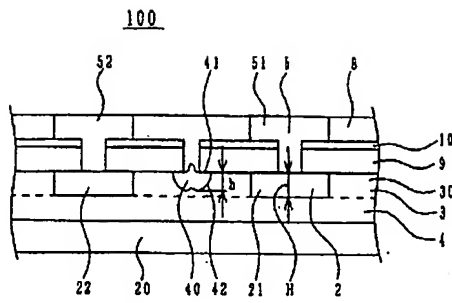
【図 7】図 7 (A) ~ 図 7 (C) は、本発明に係る半導体装置の製造方法の別の具体例の製造工程をその手順に従って示した断面図である。

【図 8】図 8 は、本発明に係る半導体装置の他の具体例の構成を示す断面図である。

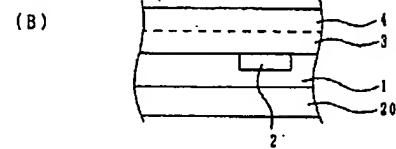
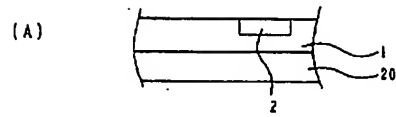
【符号の説明】

- 1 … シリコン基板
- 2、5 … 埋め込み配線層
- 3、3' … エッチングレートの早い絶縁膜層
- 4、4' … エッチングレートの遅い絶縁膜層
- 6、6' … レジスト膜
- 7、7' … 開口部
- 8、9、9'、30 … 絶縁膜層
- 10 … エッチングストップ層
- 11 … 上層配線溝
- 20 … 基板
- 21、22、51、52 … 埋め込み配線
- 40 … 密閉状空間部
- 41 … 密閉状空間部の上面壁部
- 42 … 密閉状空間部の湾曲部
- 45 … 密閉状空間部の一部
- 71 … 溝部
- 100 … 半導体装置

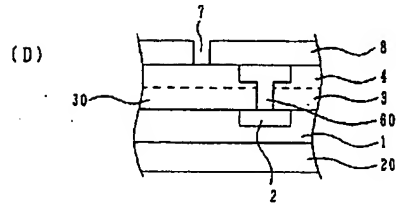
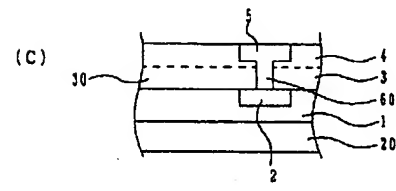
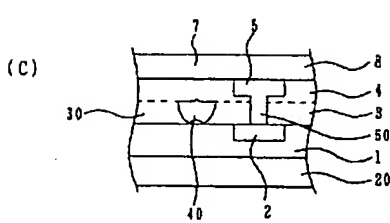
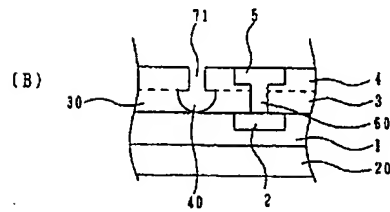
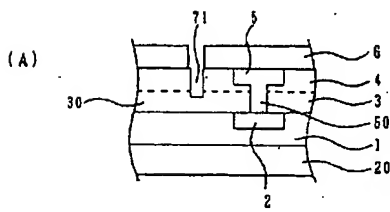
【図 1】



【図 2】



【図 3】

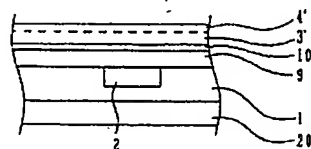


【図 4】

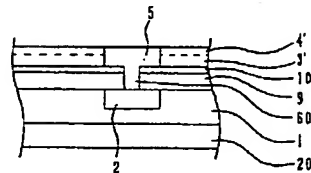
(A)



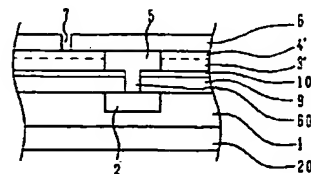
(B)



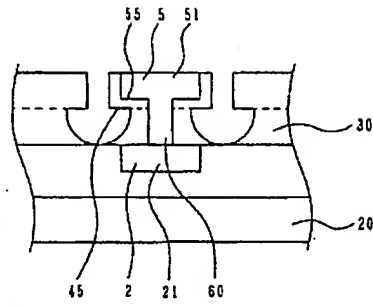
(C)



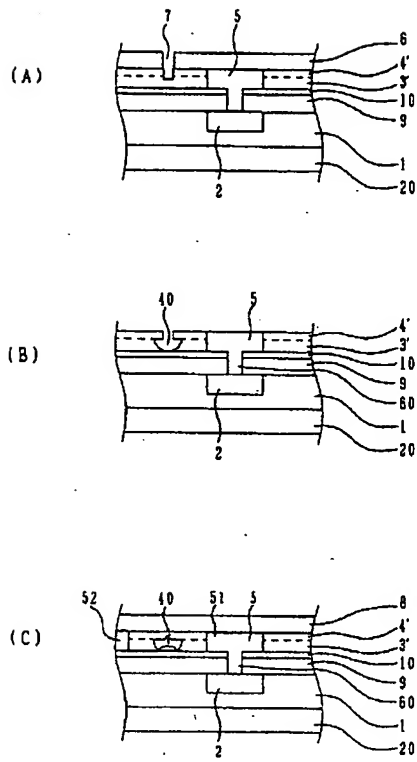
(D)



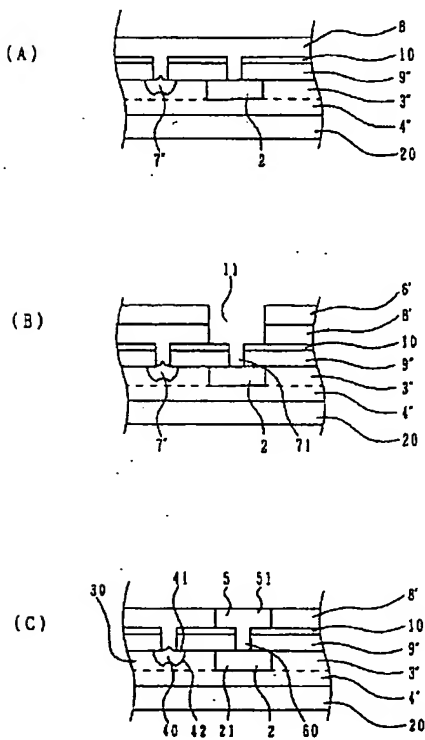
【図 8】



【図 5】



【図 7】



【図 6】

